

1-21-00
PB

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Tomoe Yamamoto :
:
Appln. No.: To Be Assigned : Art Unit: To Be Assigned
:
Filed: November 29, 1999 : Examiner: To Be Assigned
:
For: A METHOD FOR : Docket No.: SHM-00901
MANUFACTURING A :
SEMICONDUCTOR DEVICE :
:

jc564 U.S. PRO
09/450351
11/29/99



Certificate of Express Mail

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, postage prepaid, "Post Office to Addressee", in an envelope addressed to the Assistant Commissioner for Patents Washington, D.C. 20231 on this date of November 29, 1999.



Name: Ariel Collazo
Express Mail Label: EL354729175US

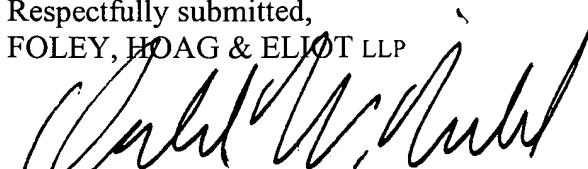
SUBMISSION OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto is Japanese application no. 10-337542, filed November 27, 1998, a priority document for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-832-1257.

Respectfully submitted,
FOLEY, HOAG & ELIOT LLP



Donald W. Muirhead
Reg. No. 33,978

November 29, 1999

Date

Patent Group
Foley, Hoag & Eliot LLP
One Post Office Square
Boston, MA 02109-2170

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

VS

件) 10-337542

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

1999年 3月 3日

願番号
Application Number:

平成11年特許願第055185号

願人
Applicant(s):

日本電気株式会社

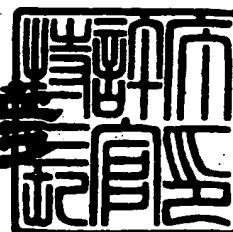
JC564 U.S. PTO
09/450351
11/29/99


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年11月 5日

特許庁長官
Commissioner,
Patent Office

近藤 隆



【書類名】 特許願
【整理番号】 74111569
【提出日】 平成11年 3月 3日
【あて先】 特許庁長官 伊佐山 建志 殿
【国際特許分類】 H01L 27/108
【発明の名称】 半導体装置の製造方法
【請求項の数】 10
【発明者】
【住所又は居所】 東京都港区芝五丁目 7番 1号 日本電気株式会社内
【氏名】 山本 朝恵
【特許出願人】
【識別番号】 000004237
【氏名又は名称】 日本電気株式会社
【代表者】 金子 尚志
【代理人】
【識別番号】 100096231
【弁理士】
【氏名又は名称】 稲垣 清
【電話番号】 03-5295-0851
【手数料の表示】
【予納台帳番号】 029388
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9303567
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 金属酸化物からなる誘電体膜と、誘電体膜上に成膜されたCVD-高融点金属窒化膜との積層構造を備えた半導体装置の製造方法であって、高融点金属含有ソースガスを導入して、高融点金属窒化膜を誘電体膜上にCVD法により成膜する際、

高融点金属含有ソースガスを導入する前に、0.0Torr以下0.1Torr以上のNH₃ガス分圧のNH₃ガス雰囲気内で、誘電体膜が形成された基板を所定の加熱温度で加熱することを特徴とする半導体装置の製造方法。

【請求項2】 誘電体膜が、酸化タンタル(Ta₂O₅)膜であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 高融点金属含有ソースガスを導入する前に、基板を所定の加熱温度で加熱する基板加熱ステップと、基板温度を保持しつつ酸化タンタルに対する非反応性ガスを導入して、流量を安定化させる流量安定化ステップと

を備え、基板加熱ステップ又は流量安定化ステップでNH₃ガスを導入することを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 基板の加熱温度は、400℃以上700℃以下の温度であることを特徴とする請求項1から3のいずれか1項に記載の半導体装置の製造成膜方法。

【請求項5】 流量安定化ステップに続いて、高融点金属含有ソースガスを導入して、CVD-高融点金属窒化膜を成膜するステップと、

CVD-高融点金属窒化膜の成膜ステップの後半では、NH₃ガスの分圧を高くして、NH₃ガスによる熱処理を施すステップと

を有することを特徴とする請求項1から4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 酸化タンタルに対する非反応性ガスとして、アルゴンガスを

含む希ガス、窒素ガス、水素ガス及びそれらの混合ガスのいずれかのガスを導入することを特徴とする請求項3から5のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項7】 高融点金属窒化膜がTiN膜であって、チタン含有ソースガスとして、四塩化チタン($TiCl_4$)、テトラキス・ジエチル・アミノ・チタン・(TDMAT)及びテトラキス・ジエチル・アミン(TDEAT)の少なくとも一種類のガスを導入することを特徴とする請求項1から6のいずれか1項に記載の半導体装置の製造方法。

【請求項8】 高融点金属窒化膜がWN膜であって、タンゲステン含有ソースガスとして、 WF_6 ガスを導入することを特徴とする請求項1から7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 半導体装置が容量素子を備え、誘電体膜が容量素子の容量絶縁膜であり、CVD-高融点金属窒化膜が、容量絶縁膜と容量素子の上部電極との間に介在する容量絶縁膜の保護膜であることを特徴とする請求項1から8のうちのいずれか1項に記載の半導体装置の製造方法。

【請求項10】 半導体装置がMOSFETを備え、誘電体膜がMOSFETのゲート絶縁膜、CVD-高融点金属窒化膜がゲート絶縁膜上に形成されている積層ゲート電極層の最下層であることを特徴とする請求項1から9のうちのいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、更に詳細には、半導体装置の一部として、金属酸化物からなる誘電体膜と、誘電体膜上に成膜されたCVD-高融点金属窒化膜との積層構造を形成する際、誘電体膜のリーク電流が小さくなるようにCVD-高融点金属窒化膜を成膜するようにした、半導体装置の製造方法に関するものである。

【0002】

【従来の技術】

最近の大容量DRAMでは、メモリセルの高集積化に伴い容量素子の所要面積を小さくするために、メモリセル選択用MOSFETの上部に容量素子を配置するスタックド・キャパシタ構造が採用されると共に微小化された容量素子の蓄積電荷量を増大させるために、容量素子の容量絶縁膜として高誘電体材料の酸化タンタル (Ta_2O_5) が使用されている。

容量素子の容量絶縁膜として Ta_2O_5 膜を採用する際には、通常、上部電極としてタンゲステン (W) 等の高融点金属、ポリシリコン、リンドープト・ポリシリコンが使用され、CVD法により成膜される。そして、上部電極層を形成する際に、例えば SiH_4 等の反応ガスが Ta_2O_5 膜に侵入して Ta_2O_5 膜の膜質を劣化させないように、 Ta_2O_5 膜上に保護膜として TiN 膜を成膜した後に、上部電極を形成している。

【0003】

ここで、特開平9-219501号公報を参照して、 Ta_2O_5 膜を容量絶縁膜として有する容量素子を作製する従来の方法を説明する。図8 (a) から (c) は、従来の方法に従って容量素子を作製する際の基本的工程毎の基板断面を示す模式図である。

先ず、図8 (a) に示すように、MOSFETが形成されているシリコン基板1上に絶縁膜2を成膜し、次いでMOSFETの拡散領域を露出させるコンタクトホールを絶縁膜2に開口する。続いて、コンタクトホールを埋め込みつつ絶縁膜2上に厚さ1000nm程度のポリシリコン膜からなる下部電極3を形成する。この下部電極3の表面をHSG化しても良い。

次いで、この下部電極3上に Ta_2O_5 膜からなる容量絶縁膜4をCVD法などで厚さ10nm程度成膜する。

【0004】

次いで、図8 (b) に示すように、CVD成膜装置を使って、 Ta_2O_5 膜4上に保護膜としてCVD-TiN膜5を成膜する。

CVD-TiN膜5の成膜に次いで、図8 (c) に示すように、ポリシリコン膜6を成長させた後に、CVD-TiN膜5及びポリシリコン膜6をパターニングしてプレート電極7を形成する。

【0005】

ここで、図9から図11を参照して、CVD-TiN膜の成膜工程を更に詳しく説明する。図9から図11は、それぞれ、CVD-TiN膜の成膜工程でのガスの導入スケジュールを示す。

CVD-TiN膜5の成膜工程は、基板加熱ステップ、成膜ステップ、及び還元ステップ、更に詳しくは、図9から図11に示すように、昇温ステップと、保護膜形成ステップ、成膜ステップ、及び降温ステップとから構成されている。

【0006】

図9に示すガス導入スケジュールでは、チャンバ内を所定の真空中に排気した後、基板を昇温させながら不活性ガスを導入し、基板温度がほぼ一定になったところで、チタン含有ソースガスを導入してこれを熱分解させることにより、Ta₂O₅膜5上にTiを主成分とする膜を形成する。

次いでチャンバ内に窒素含有還元性ガスを導入し、チタン含有ソースガスと反応させることにより、Tiを主成分とする膜上にTiN膜を成膜する。CVD-TiN膜5は、Tiを主成分とする膜とTiN膜との積層膜である。

【0007】

チタン含有ソースガスは、図10に示すように、基板の昇温時に不活性ガスとほぼ同時に導入するか、あるいは図11に示すように、不活性ガスを導入した後、窒素含有還元性ガスを導入する直前に導入する。いずれの場合にも、窒素含有還元性ガスに先立ってチタン含有ソースガスを導入する。

従来の技術では、以上のガス導入スケジュールにより、チタン含有ソースガスの熱分解によってTa₂O₅膜4上にTiを主成分とする膜が形成され、この膜がその後に導入される窒素含有還元性ガスとTa₂O₅膜4との接触を防ぐので、Ta₂O₅膜の劣化が防止されるとしている。

【0008】

通常、TiN膜の成膜に際しては、チタン含有ソースガスとして、四塩化チタン(TiCl₄)、テトラキス・ジエチル・アミノ・チタン(TDMAT)、テトラキス・ジエチル・アミン(TDEAT)等を使用し、窒素含有還元性ガスとして、アンモニア(NH₃)、MMH等のガスを使用し、不活性ガスとしはHe

、 Ar、 N₂ 等を使用する。

基板温度は400℃～700℃、特に窒素含有還元性ガスとしてNH₃を使用するときには400℃～550℃である。CVD成膜装置の成膜チャンバ（以下、簡単に成膜チャンバと言う）内の圧力は、数torr～20torrの範囲である。

成膜ステップに続いて、成膜チャンバのガスバージステップでは、TiCl₄ガス及びNH₃ガス以外の不活性ガスを用いて、成膜チャンバの反応生成ガス及び未反応ガスをバージする。

【0009】

【発明が解決しようとする課題】

しかし、上述した従来の方法で成膜したCVD-TiN膜を保護膜とする容量素子では、予期したレベル以上にTa₂O₅膜を流れるリーク電流が発生するために、静電容量を増加させることが難しいという問題があった。これでは、容量素子を微細化して高集積度の半導体装置を製造することは難しい。

上述の説明では、Ta₂O₅膜からなる容量絶縁膜上にCVD-TiN膜を成膜する例を上げて、CVD-TiN膜のリーク電流の問題を説明しているが、これに限らず、例えばTa₂O₅膜をゲート酸化膜とし、その上にゲート電極層としてTiN膜、及びポリシリコン層又はW層を順次成膜して積層膜を形成する際にも、ゲート酸化膜のリーク電流を減少させることが難しいという問題があった。これでは、トランジスタ特性の良好な半導体装置を製造することは難しい。

また、上述の説明では、Ta₂O₅膜を誘電体膜の例とし、CVD-TiN膜をCVD-高融点金属窒化膜の例として説明しているが、他の金属酸化物からなる誘電体膜、或いは他のCVD-高融点金属窒化膜であっても、同じ問題を有する。

【0010】

そこで、本発明の目的は、金属酸化物からなる誘電体膜と、誘電体膜上に成膜されたCVD-高融点金属窒化膜との積層構造を形成するに際し、リーク電流の小さい積層構造を形成するようにした、半導体装置の製造方法を提供することである。

【0011】

【課題を解決するための手段】

本発明者は、従来の方法で容量素子を形成した際に容量絶縁膜のリーク電流が大きい原因を追求した過程で、従来のCVD-TiN膜の成膜方法では、Ta₂O₅膜上にCVD-TiN膜を成膜する際に、チタン含有ソースガスの導入後に、NH₃ガスを導入しているために、Ta₂O₅膜が劣化し、そのために、リーク電流が大きくなるのではないかと考え、次の実験を行った。

【0012】

実験例1

図3に示す処理ステップ、チャンバ圧力、ガス種、及びガス流量でCVD-TiN膜の成膜実験を行った。

(1) 先ず、図12に示すように、6インチのシリコン・ウェハ上に膜厚500ÅのDOPOS膜を下部電極として形成し、次いで膜厚100ÅのTa₂O₅膜を容量絶縁膜として成膜したウェハを試料とする。但し、試料ウェハは、Ta₂O₅膜の成膜後、TiN膜の成膜まで、1ヶ月保管されていたものである。

試料ウェハをCVD成膜装置に送入し、成膜チャンバを0.1mTorrになるよう排気した。排気ステップの排気所要時間は、10~60秒であった。

【0013】

(2) 次いで、基板加熱ステップに移行し、400sccmの流量で成膜チャンバにNH₃ガスを導入して、NH₃ガスの分圧(この時点では、チャンバ圧力と同じ)を0.3Torrに保持し、600℃になるようにウェハを加熱し、その温度に保持した。基板加熱ステップの所要時間は50秒から70秒であった。

(3) 次いで、ガス流量の安定化ステップに移行した。ガス流量の安定化ステップでは、チャンバに導入するガスの流量の変動を収束させて流量を安定させ、CVD-TiN膜の成膜ステップに移行するまでの暫定期間である。

3000sccmの流量でN₂ガスを成膜チャンバに導入すると共にNH₃ガスの流量を120sccmに低下させ、チャンバ圧力を20Torrに昇圧した。この時点のNH₃ガスの分圧は0.8Torrであった。また、ガス流量の安定化ステップの所要時間は10秒であった。

【0014】

(4) 成膜ステップに移行し、チャンバ圧力を20Torrに保持しつつ40sccmの流量でTiCl₄ガスを成膜チャンバに導入して、CVD-Ti/TiN膜を成膜した。成膜ステップの所要時間は15秒から30秒であった。

(5) チャンバ圧力、及びN₂ガスの流量を成膜ステップと同じ条件に保持しつつ、TiCl₄ガスの流量はゼロとし、NH₃ガスの流量を1000sccmに増加して、NH₃ガスの分圧を5Torrに昇圧し、CVD-TiN膜にNH₃アニールを施し、膜厚100ÅのTiN膜を成膜した。NH₃アニール・ステップの所要時間は、30秒であった。

【0015】

(6) 次いで、バージ・ステップに移行し、N₂ガス以外のガスの導入を停止し、真空吸引してチャンバ圧力を0.1mTorrに減圧した。バージ・ステップの所要時間は10秒から30秒であった。

(7) 次いで、N₂ガスの導入を停止し、続いて排気する。

(8) 次いで、WSi膜の成膜工程に移行し、1100ÅのWSi膜を上部電極としてTiN膜上に成膜し、図12に示す容量素子を備えた試料ウエハを作製した。

(9) 続いて、図12に示すようにして、得た試料ウエハのWSiとDOPOS膜との間に1.2Vの電圧を印加し、ウエハ面内の69点で電流計により電流値を測定してリーク電流とし、また、容量値を測定した。

【0016】

そして、リーク電流の測定結果を、面内分布最小値、面内分布50%の値、及び面内分布最大値で表示して、表1に示した。また、面内分布50%の容量値をT_{0X}で表1に表示した。T_{0X}が小さいほど、容量値が大きい。

T_{0X}は、

$$T_{0X} = \epsilon_0 \cdot \epsilon_r \cdot S / Q \\ = 8.854 \times 10^{-14} \times 3.82 \times \text{電極面積} / \text{容量値}$$

ここで、 ϵ_0 ：真空の誘電率、 8.854×10^{-14}

ϵ_r ：SiO₂膜に比誘電率、3.82

S：電極面積

Q : 容量値

【表1】

	リーク電流値 10^{-8} [A/cm ²]			T _{ox} [Å]
	面内分布の最小値	面内分布の50%の値	面内分布の最大値	
実験例1	2.58	3.39	17.96	32.74
実験例2	2.83	4.17	20.348	32.97
実験例3	4.606	9.98	23.8	33.25
実験例4	5.882	11.2	25	33.87

【0017】

実験例2から4

基板加熱ステップのN H₃ ガスの分圧を1 Torr、5 Torr及び20 Torrにしたことを除いて、実験例1と同様にして、容量素子を作製し、同様にしてリーク電流及び容量値を測定した。

測定結果は、表1に示す通りである。

【0018】

実験例5及び従来例

実験例5は、Ta₂O₅ 膜を成膜した後、経過時間が1日ないし2日のウエハ上に、実験例1と同様にして、TiN膜を成膜し、容量素子を作製した例である。

また、実験例6は、実験例5で使用したウエハと同じ条件のウエハに、特開平9-219501号公報に記載の成膜方法及び成膜条件に従ってTiN膜を成膜したことを除いて、実験例1と同様に容量素子を作製した例であって、いわゆる従来例に相当する。

実験例5及び実験例6とも、実験例1と同様にしてリーク電流及び容量値を測定し、その測定結果を表2に示した。

【表2】

	リーク電流値 $10^{-8} [\text{A}/\text{cm}^2]$			$T_{\text{ox}} [\text{\AA}]$
	面内分布の 最小値	面内分布の 50%の値	面内分布の 最大値	
従来例	0.074	0.11	0.194	34.27
実験例5	0.032	0.074	0.128	34.35

【0019】

実験例1の面内分布の50%の値のリーク電流及び T_{ox} の測定値を1とし、表1を整理したものが、表3である。また、実験例5の面内分布の50%の値のリーク電流及び T_{ox} の測定値を1とし、表2を整理したものが、表4である。

【表3】

	リーク電流 (比)			$T_{\text{ox}} (\text{比})$
	面内分布の 最小値	面内分布の 50%の値	面内分布の 最大値	
実験例1	0.76	1	5.3	1
実験例2	0.83	1.2	6.0	1.01
実験例3	1.4	2.9	7.0	1.02
実験例4	1.7	3.3	7.4	1.03

上表注：リーク電流値については、 $3.39 \times 10^{-8} [\text{A}/\text{cm}^2]$ を1とした
 T_{ox} については、32.74 [Å] を1とした

【表4】

	リーク電流値 (比)			$T_{\text{ox}} (\text{比})$
	面内分布の 最小値	面内分布の 50%の値	面内分布の 最大値	
従来例	1.00	1.5	2.6	1.00
実験例5	0.43	1	1.7	1

上表注：リーク電流値については、 $0.074 \times 10^{-8} [\text{A}/\text{cm}^2]$ を1とした
 T_{ox} については、34.35 [Å] を1とした

【0020】

表3から判る通り、実験例3及び実験例4は、実験例1及び2に比べて、リーク電流が著しく増大し、容量値が低下する。即ち、 NH_3 ガスの分圧が1 Torrを越えると、リーク電流が著しく増大し、容量値が低下する。従って、リーク電流

の小さい容量素子を作製しようとすると、1 TorrがNH₃ガスの分圧の臨界値であると解釈できる。

また、表4から判る通り、従来例は、NH₃ガスの分圧が1 Torr以下の実験例1及び実験例2に比べて、容量値は同じであるものの、リーク電流が著しく高い。

更には、実験により、CVD-TiN膜の膜厚は、80 Åから120 Åの範囲、特に100 Å位がリーク電流を抑制する上で最適であることを確認した。

また、CVD-TiN膜に限らず、高融点金属窒化膜のCVD法による成膜についても、基板加熱中のNH₃ガスの分圧に関し、CVD-TiN膜と同じ条件が適用できることを実験で確認した。

【0021】

上記目的を達成するために、上述の知見に基づいて、本発明に係る半導体装置の製造方法は、金属酸化物からなる誘電体膜と、誘電体膜上に成膜されたCVD-高融点金属窒化膜との積層構造を備えた半導体装置の製造方法であって、高融点金属含有ソースガスを導入して、高融点金属窒化膜を誘電体膜上にCVD法により成膜する際、

高融点金属含有ソースガスを導入する前に、1.0 Torr以下0.1 Torr以上のNH₃ガス分圧のNH₃ガス雰囲気内で、誘電体膜が形成された基板を所定の加熱温度で加熱することを特徴としている。

【0022】

本発明で、金属酸化物からなる誘電体膜は、誘電体膜上に高融点金属窒化膜をCVD法により成膜する際に、損傷を受けるような誘電体膜である限り、制約はなく、例えば酸化タンタル(Ta₂O₅)膜である。

【0023】

本発明方法では、NH₃ガス雰囲気を生成するためのNH₃ガスは、高融点金属含有ソースガスを導入する前である限り、基板の加熱と同時に導入しても良く、また、不活性ガスを導入する際の流量安定化のステップで導入しても良い。

即ち、高融点金属含有ソースガスを導入する前に、基板を所定の加熱温度で加熱する基板加熱ステップと、基板温度を保持しつつ酸化タンタルに対する非反応

性ガスを導入して、流量を安定化させる流量安定化ステップとを備え、

NH_3 ガスを基板加熱ステップ又は流量安定化ステップで導入する。

好適には、基板の加熱温度は、400°C以上700°C以下の温度である。

【0024】

本発明の更に好適な実施態様では、流量安定化ステップに続いて、

高融点金属含有ソースガスを導入して、CVD-高融点金属窒化膜を成膜するステップと、

CVD-高融点金属窒化膜の成膜ステップの後半では、 NH_3 ガスの分圧を高くして、 NH_3 ガスによる熱処理を施すステップとを有する。

また、酸化タンタルに対する非反応性ガスとして、アルゴンガスを含む希ガス、窒素ガス、水素ガス及びそれらの混合ガスのいずれかのガスを導入する。

【0025】

本発明方法は、CVD-高融点金属窒化膜の成膜に制約なく適用でき、例えば高融点金属窒化膜としてCVD-TiN膜の成膜に好適である。その際には、チタン含有ソースガスとして、四塩化チタン(TiCl_4)、テトラキス・ジエチル・アミノ・チタン・(TDMAT)及びテトラキス・ジエチル・アミン(TDEAT)の少なくとも一種類のガスを導入する。

また、CVD-WN膜の成膜にも好適であって、その際には、タンゲステン含有ソースガスとして、 WF_6 ガスを導入する。

【0026】

本発明方法は、誘電体膜上にCVD-高融点金属窒化膜を有する積層構造を備えている限り、半導体装置の構成に制約なく適用できるが、好適には、例えば容量素子を備え、容量素子の容量絶縁膜が誘電体膜であり、容量絶縁膜と容量素子の上部電極との間に介在する容量絶縁膜の保護膜がCVD-高融点金属窒化膜である半導体装置であり、また、MOSFETを備え、MOSFETのゲート絶縁膜が誘電体膜であり、積層ゲート電極層の最下層がCVD-高融点金属窒化膜である半導体装置等である。

【0027】

【発明の実施の形態】

以下に、実施形態例を挙げ、添付図面を参照して、本発明の実施の形態を具体的かつ詳細に説明する。

実施形態例1

本実施形態例は、N M O Sと容量素子を備えたD R A Mのメモリセルの製造に、本発明に係る半導体装置の製造方法を適用した実施形態の一の例であって、図1 (a) から (c) 、及び図2 (d) と (e) は、それぞれ、本実施形態例の製造方法を適用して、半導体装置を製造する際の基板の断面図である。

本実施形態例の製造方法では、先ず、図1 (a) に示すように、p型シリコン基板10にフィールド絶縁膜12を形成してフィールド領域を区画し、n型不純物をイオン注入して、ソース／ドレイン領域14A、Bを形成する。次いで、ゲート酸化膜として熱酸化SiO₂膜15を成膜し、C V D法によりポリシリコン層16及びSi₃N₄膜18を成膜し、パターニングして、ゲート電極（ワード線）20を形成する。

【0028】

次いで、図1 (b) に示すように、ゲート電極20上にSi₃N₄膜をC V D法により成膜し、エッチバックして、Si₃N₄膜からなるサイドウォール22を形成する。

続いて、基板全面にC V D法によりSiO₂膜24を成膜し、更に、SiO₂膜24を貫通してソース／ドレイン領域A、Bの一方を露出させるコンタクトホールを開口する。次いで、基板全面にC V D法によりポリシリコン層を成膜し、エッチバックしてコンタクトホールを埋め込んだコンタクトプラグ26A、Bを形成する。

【0029】

次に、基板全面にB P S G膜28をC V D法により成膜し、更にB P S G膜28を貫通して、コンタクトプラグ26Aの上端面を露出させる接続孔30を開口する。続いて、下記の成膜条件で、膜厚7000Åのポリシリコン層32を基板全面にC V D法により成膜し、パターニングして容量素子の下部電極32を形成する。尚、下部電極32には、H S G化を施しても良い。

成膜条件

基板温度: 550°C

圧力 : 2 Torr

ガス流量: SiH₄ / 1600 sccm, PH₃ / 60 sccm

【0030】

次いで、図2 (d) に示すように、下部電極32上に以下の条件で20Å～200Åの膜厚、例えば膜厚100ÅのTa₂O₅膜34をCVD法により成膜する。

成膜条件

基板温度: 450°C

圧力 : 0.5 Torr

ガス流量: Ta₂O₅ ガス / 0.1 ml/分, O₂ ガス / 2 SLM

【0031】

次に、前述の実験例1と同じ条件及び同じ導入ガスのスケジュールでCVD法によりTiN膜36を成膜する。即ち、図3のフローチャートに従って、

(1) 基板をCVD成膜装置に送入し、成膜チャンバを0.1 mTorrになるよう排気する。排気ステップの排気所要時間は、10～60秒である。

(2) 次いで、基板加熱ステップに移行し、400 sccmの流量で成膜チャンバにNH₃ガスを導入して、NH₃ガスの分圧(この時点では、チャンバ圧力と同じ)を0.3 Torrに保持し、600°Cになるように基板を加熱し、その温度に保持する。基板加熱ステップの所要時間は50秒から70秒である。

尚、本実施形態例では、基板加熱ステップでNH₃ガスを導入しているが、必ずしもこれに限らず、成膜ステップの前であれば良く、流量安定化ステップでNH₃ガスを導入してもよい。

【0032】

(3) 次いで、ガス流量の安定化ステップに移行する。ガス流量の安定化ステップでは、チャンバに導入するガスの流量の変動を収束させて流量を安定させ、CVD-TiN膜の成膜に移行するまでの暫定期間である。3000 sccmの流量でN₂ガスを成膜チャンバに導入すると共にNH₃ガスの流量を120 sccmに低下

させ、チャンバ圧力を20Torrに昇圧する。NH₃ガスの分圧は0.8Torrである。また、ガス流量の安定化ステップの所要時間は10秒である。

【0033】

(4) 成膜ステップに移行し、チャンバ圧力を20Torrに保持しつつ40sccmの流量でTiCl₄ガスを成膜チャンバに導入して、CVD-TiN膜を成膜する。成膜ステップの所要時間は15秒から30秒である。

(5) チャンバ圧力、及びN₂ガスの流量を成膜ステップと同じ条件に保持しつつ、TiCl₄ガスの流量は0として、NH₃ガスの流量を1000sccmに増加して、NH₃ガスの分圧を5Torrに昇圧し、CVD-TiN膜にNH₃アニールを施し、膜厚100ÅのTiN膜を成膜する。NH₃アニール・ステップの所要時間は、30秒である。

(6) 次いで、バージ・ステップに移行し、N₂ガス以外のガスの導入を停止し、真空吸引してチャンバ圧力を0.1mTorrに減圧する。バージ・ステップの所要時間は10秒から30秒である。

(7) 次いで、N₂ガスの導入を停止し、続いて排気する。

【0034】

次いで、TiN膜36上に、CVD法により次の成膜条件で膜厚1800ÅのDOPoS(リンドープト・ポリシリコン)膜38を成膜する。

基板温度：550℃

圧力：2Torr

ガス流量：SiH₄ / 1600sccm, PH₃ / 60sccm

以上の工程を経て、図2(d)に示す層構造の基板を得ることができる。

【0035】

次いで、図2(e)に示すように、Ta₂O₅膜34、TiN膜36及びDOPoS膜38をパターニングして容量素子40を形成する。次いで、基板全面にBPSG膜42をCVD法により成膜し、平坦化する。BPSG膜42に代えて、PSG膜、BSG膜、又はSiO₂膜でも良い。平坦化は、リフロー、エッチバック、又はCMP法のいずれかの方法により行う。

次いで、BPSG膜42を貫通して、コンタクトプラグ26Bの上端面を露出

させる接続孔44を開口する。更に基板全面にタングステン(W)膜をCVD法により成膜し、エッチバック又はCMP法でBPSG膜42上のW膜を除去して接続孔44を埋め込んだWプラグ46を形成する。

【0036】

続いて、CVD-W膜又はAl膜、Au膜を基板全面に堆積して、ビット線48を形成し、必要に応じてその上にパッシベーション膜(図示せず)を成膜する。これにより、図2(e)に示す、容量素子とNMOSとを備えた半導体装置49を作製することができる。

【0037】

実施形態例2

本実施形態例は、 Ta_2O_5 膜からなるゲート絶縁膜と、TiN膜及びDOP OS膜の積層膜からなるゲート電極とを有するNMOSを備えた半導体装置の製造に、本発明に係る半導体装置の製造方法を適用した実施形態の一の例である。図4(a)及び(b)と図5(c)及び(d)は、それぞれ、本実施形態例の製造方法を適用して、上述の半導体装置を製造する際の基板の断面図である。

本実施形態例の製造方法では、先ず、実施形態例1と同様にして、図4(a)に示すように、p型シリコン基板50にフィールド絶縁膜52を形成してフィールド領域を区画し、n型不純物をイオン注入して、ソース/ドレイン領域54A、Bを形成する。p型シリコン基板50は、シリコン基板中に設けられたp型ウエルでも良い。

【0038】

次いで、ゲート酸化膜として熱酸化 SiO_2 膜55を成膜し、CVD法によりポリシリコン層56を成膜し、パターニングして、ゲート電極(ワード線)形成領域60を形成する。

ポリシリコン層56は、ゲート長を規定するためのダミーであって、後述するように、熱酸化 SiO_2 膜55及びポリシリコン層56を除去して、ワード線とは別構成のゲート電極を形成する。

次いで、ゲート形成領域60上に Si_3N_4 膜をCVD法により成膜し、エッ

チバックして、 Si_3N_4 膜からなるサイドウォール 62 を形成し、更に基板全面に CVD 法により SiO_2 膜 64 を成膜する。

続いて、ポリシリコン層 56 が露出するように SiO_2 膜 64 をエッチバックして、図 4 (a) に示す基板を得る。

【0039】

次に、図 4 (b) に示すように、ウェットエッティング法により、熱酸化 SiO_2 膜 55 及びポリシリコン層 56 を除去して、ゲート形成領域 60 を開口する。

【0040】

次いで、図 5 (c) に示すように、実施形態例 1 と同様にして、 Ta_2O_5 膜 66 及び TiN 膜 68 を成膜する。続いて、 TiN 膜 68 上に DOPOS 膜 70 を成膜する。尚、DOPOS 膜 70 に代えて、W-CVD 膜、ポリサイド膜でも良い。

【0041】

次いで、図 5 (d) に示すように、DOPOS 膜 70、 TiN 膜 68、及び Ta_2O_5 膜 66 をエッティングして、ゲート電極 72 を形成する。DOPOS 膜 70 上に BPSG 膜 74 を成膜し、続いて BPSG 膜 74 を貫通してソース／ドレイン領域 54A、B をそれぞれ露出させるコンタクトホールを開口し、次いで実施形態例 1 と同様に W プラグ 76 及び W 配線 78 を形成する。

これにより、図 5 (d) に示すように、ゲート絶縁膜として Ta_2O_5 膜 66 を、ゲート電極として TiN 膜 68 と DOPOS 膜 70 との積層膜を備えた NMOS を有する半導体装置 79 を得ることができる。

尚、BPSG 膜 74 に代えて、PSG 膜、BSG 膜、又は SiO_2 膜でも良い。配線 74 は、W に代えて Al や Au でも良い。

【0042】

実施形態例 3

本実施形態例は、本発明に係る半導体装置の製造方法の実施形態の更に別の例であって、図 6 は本実施形態例の方法で製造した半導体装置の断面を示す模式図である。図 7 は、本実施形態例で CVD-WN 膜を成膜する際のチャンバ圧力及び導入ガスのスケジュールを示すフローチャートである。

実施形態例1の製造方法では、TiN膜36に代えてWN膜80、及び、DOPoS膜38に代えてW膜82を成膜することを除いて、実施形態例1と同様にして、半導体装置を製造する。これにより、容量絶縁膜としてTa₂O₅膜34を有する容量素子と、NMOSなどを備えた半導体装置84を製造することができる。

【0043】

尚、WN膜80を成膜する際には、図7に示すフローチャートに従って、CVD法により成膜する。

(1) 基板をCVD成膜装置に送入し、成膜チャンバを0.1mTorrになるよう排気する。排気ステップの排気所要時間は、10～60秒である。

(2) 次いで、基板加熱ステップに移行し、100sccmの流量で成膜チャンバにNH₃ガスを導入して、NH₃ガスの分圧(この時点では、チャンバ圧力と同じ)を0.3Torrに保持し、400℃から500℃、例えば450℃になるように基板を加熱し、その温度に保持する。基板加熱ステップの所要時間は50秒から70秒である。

尚、本実施形態例では、基板加熱ステップでNH₃ガスを導入しているが、必ずしもこれに限らず、成膜ステップの前であれば良く、流量安定化ステップでNH₃ガスを導入してもよい。

【0044】

(3) 次いで、ガス流量の安定化ステップに移行する。ガス流量の安定化ステップでは、チャンバに導入するガスの流量の変動を収束させて流量を安定させ、CVD-WN膜の成膜に移行するまでの暫定期間である。1000sccmの流量でN₂ガスを成膜チャンバに導入すると共にNH₃ガスの流量を100sccmに保持し、チャンバ圧力を3Torrに昇圧する。NH₃ガスの分圧は0.3Torrである。また、ガス流量の安定化ステップの所要時間は10秒である。

【0045】

(4) 成膜ステップに移行し、チャンバ圧力を3Torrに保持しつつ10sccmの流量でWF₆ガスを成膜チャンバに導入して、CVD-WN膜を成膜する。成膜ステップの所要時間は15秒から30秒である。

(5) チャンバ圧力、及び N_2 ガスの流量を成膜ステップと同じ条件に保持しつつ、 WF_6 ガスの流量は0として、 NH_3 ガスの流量を1000 sccmに増加して、 NH_3 ガスの分圧を5 Torrに昇圧し、CVD-WN膜に NH_3 アニールを施し、膜厚100 ÅのWN膜を成膜する。 NH_3 アニール・ステップの所要時間は、30秒である。

(6) 次いで、バージ・ステップに移行し、 N_2 ガス以外のガスの導入を停止し、真空吸引してチャンバ圧力を0.1 mTorrに減圧する。バージ・ステップの所要時間は10秒から30秒である。

(7) 次いで、 N_2 ガスの導入を停止し、続いて排気する。

【0046】

実施形態例1から3の製造方法に従って、半導体装置49、79、84と同じ構成の試料半導体装置を作製し、リーク電流を測定したところ、実験例1及び実験例5と同様にリーク電流が小さいことが確認できた。

【0047】

【発明の効果】

本発明によれば、高融点金属含有ソースガスを導入して、高融点金属窒化膜を誘電体膜上にCVD法により成膜する際、高融点金属含有ソースガスを導入する前に、1.0 Torr以下0.1 Torr以上の NH_3 ガス分圧の NH_3 ガス雰囲気内で、誘電体膜が形成された基板を所定の加熱温度で加熱することにより、誘電体膜のリーク電流を小さくし、特性の良好な半導体装置を製造することができる。

【図面の簡単な説明】

【図1】

図1 (a) から (c) は、それぞれ、実施形態例1の製造方法を適用して、半導体装置を製造する際の基板の断面図である。

【図2】

図2 (d) と (e) は、それぞれ、図1 (c) に続いて、実施形態例1の製造方法を適用して、半導体装置を製造する際の基板の断面図である。

【図3】

実施形態例1でCVD-TiN膜を成膜する際のチャンバ圧力及び導入ガスの

スケジュールを示すフローチャートである。

【図4】

図4 (a) 及び (b) は、それぞれ、実施形態例2の製造方法を適用して、半導体装置を製造する際の基板の断面図である。

【図5】

図5 (c) 及び (d) は、それぞれ、図4 (b) に続いて、実施形態例2の製造方法を適用して、半導体装置を製造する際の基板の断面図である。

【図6】

実施形態例3の方法で製造した半導体装置の断面を示す模式図である。

【図7】

実施形態例3でCVD-WN膜を成膜する際のチャンバ圧力及び導入ガスのスケジュールを示すフローチャートである。

【図8】

図8 (a) から (c) は、それぞれ、従来の方法に従って、 Ta_2O_5 膜を容量絶縁膜とする容量素子を作製する際の基本的工程毎の基板断面を示す模式図である。

【図9】

従来の方法に従ってCVD-TiN膜を成膜する際のガスの導入スケジュールを示すグラフである。

【図10】

従来の方法に従ってCVD-TiN膜を成膜する際のガスの別の導入スケジュールを示すグラフである。

【図11】

従来の方法に従ってCVD-TiN膜を成膜する際のガスの更に別の導入スケジュールを示すグラフである。

【図12】

実験例での試料ウェルの断面構成を示し、かつ実験方法を示す模式図である。

【符号の説明】

1 シリコン基板

- 2 絶縁膜
- 3 下部電極
- 4 容量絶縁膜
- 5 CVD-TiN膜
- 6 ポリシリコン膜
- 7 プレート電極
- 10 p型シリコン基板
- 12 フィールド絶縁膜
- 14 ソース／ドレイン領域
- 15 熱酸化SiO₂膜
- 16 ポリシリコン層
- 18 Si₃N₄膜
- 20 ゲート電極（ワード線）
- 22 サイドウォール
- 24 SiO₂膜
- 26 コンタクトプラグ
- 28 BPSG膜
- 30 接続孔
- 32 ポリシリコン層／下部電極
- 34 Ta₂O₅膜
- 36 TiN膜
- 38 DOPOS膜
- 40 容量素子
- 42 BPSG膜
- 44 接続孔
- 46 Wプラグ
- 48 ビット線
- 49 半導体装置
- 50 p型シリコン基板

52 フィールド絶縁膜

54 ソース／ドレイン領域

55 熱酸化 SiO_2 膜

56 ポリシリコン層

60 ゲート形成領域

62 サイドウォール

64 SiO_2 膜

66 Ta_2O_5 膜

68 TiN膜

70 DOPoS膜

72 ゲート電極

74 BPSG膜

76 Wプラグ

78 W配線

79 半導体装置

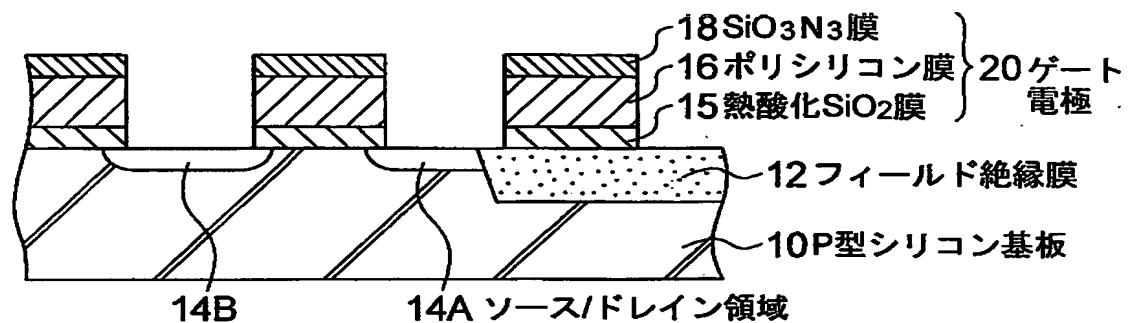
80 WN膜

82 W膜

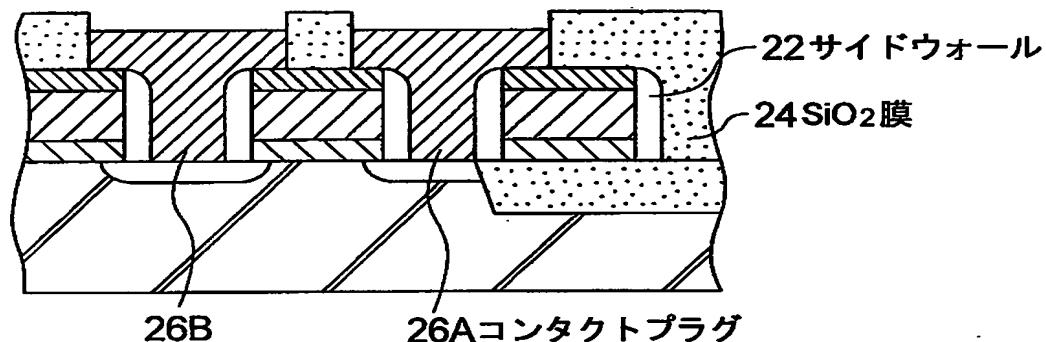
【書類名】 図面

【図1】

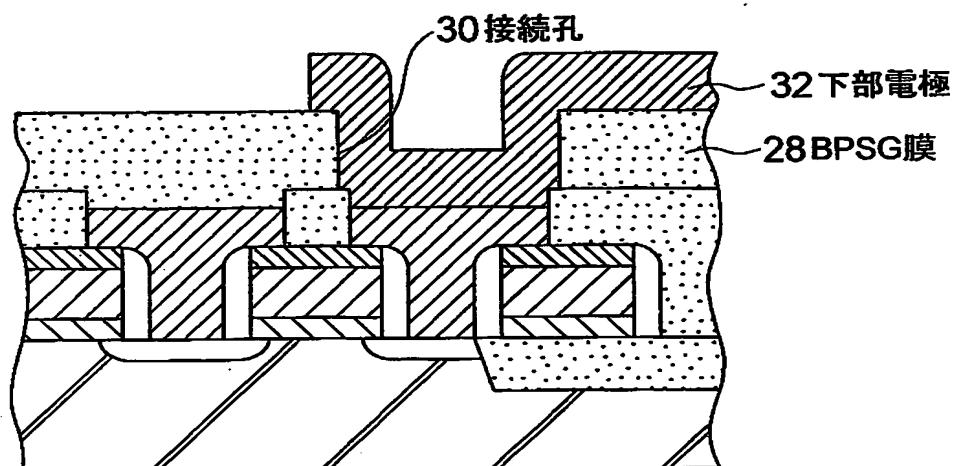
(a)



(b)

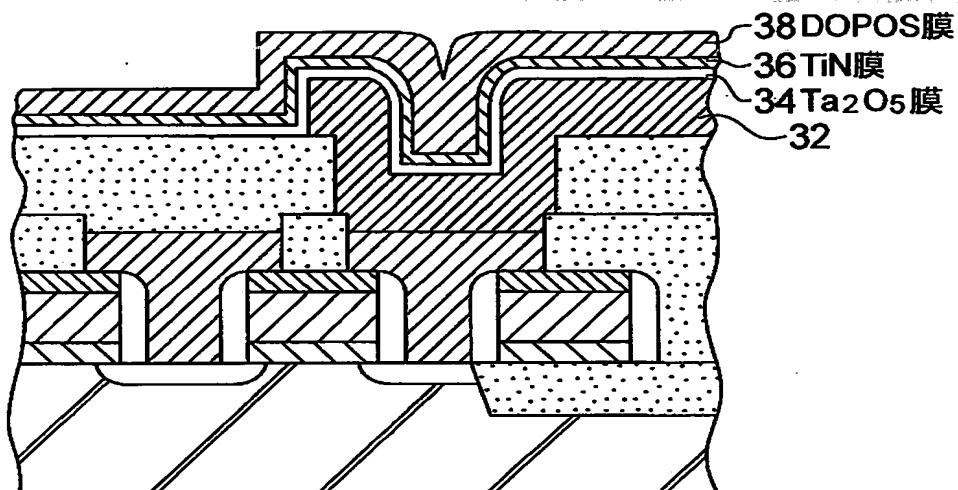


(c)

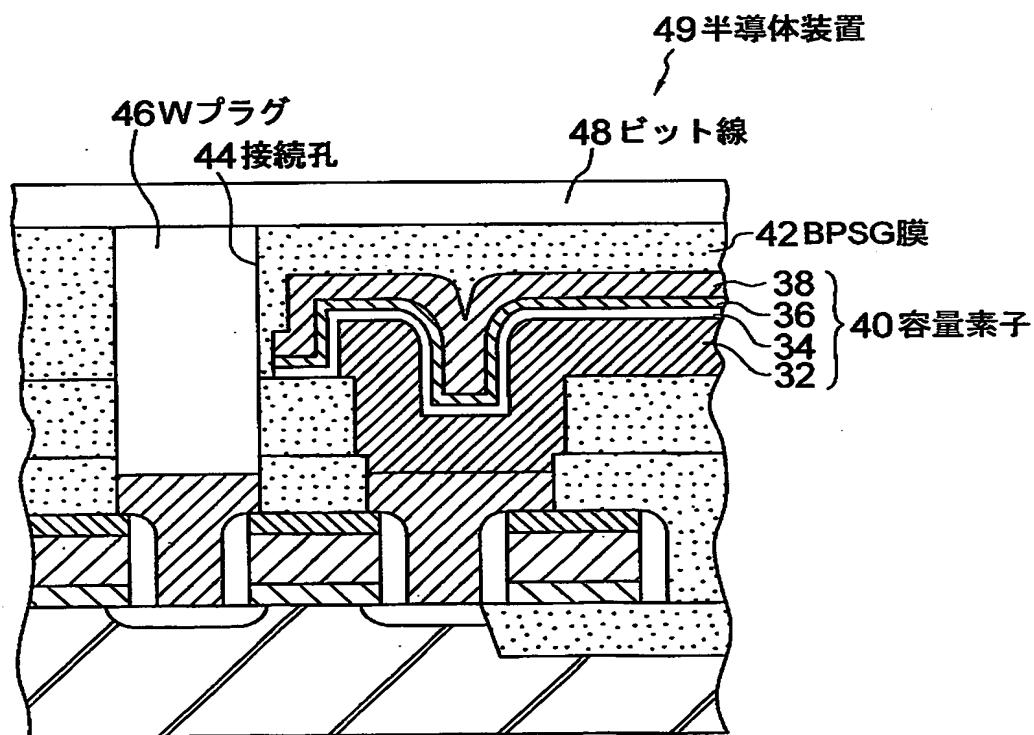


【図2】

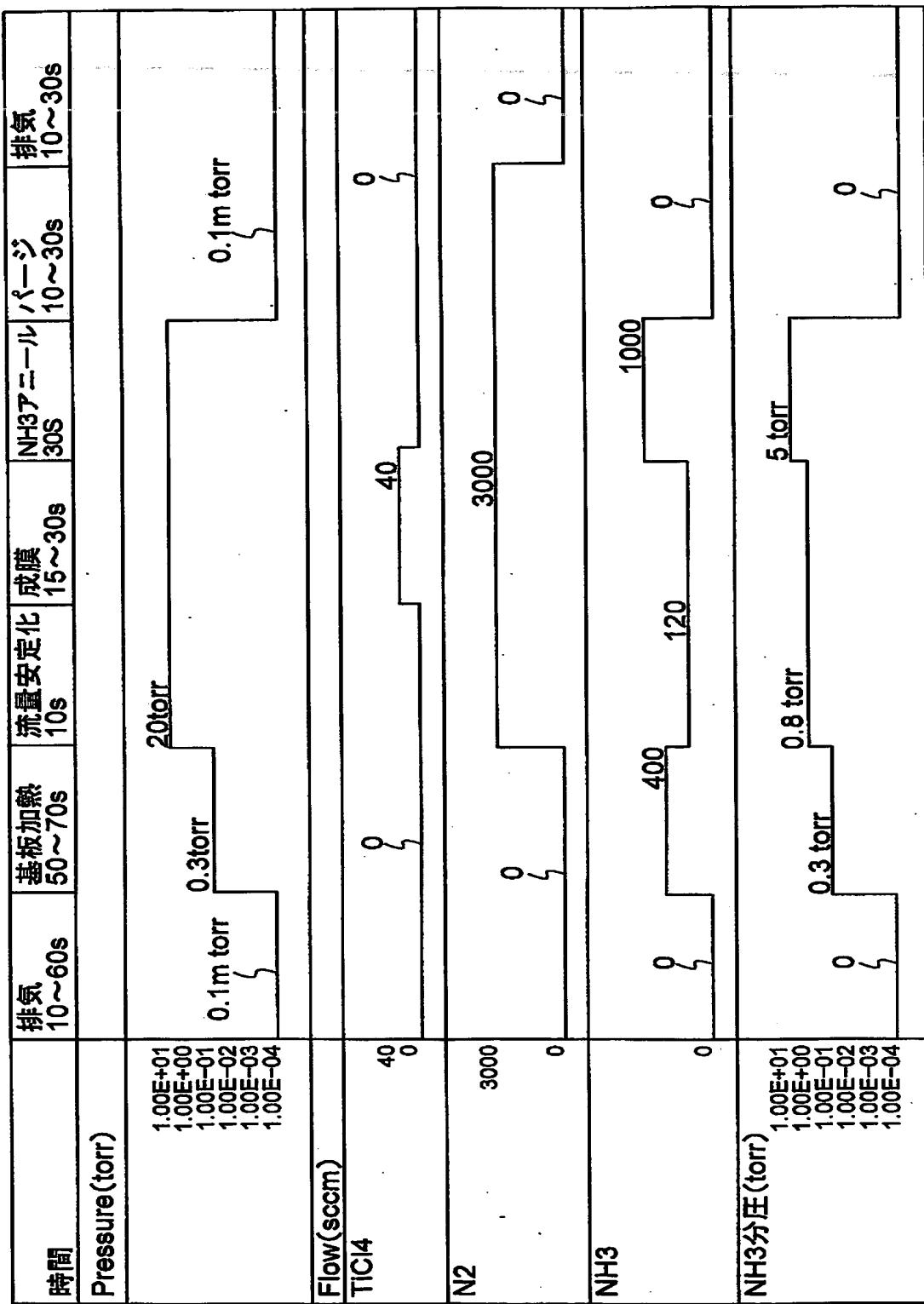
(d)



(e)

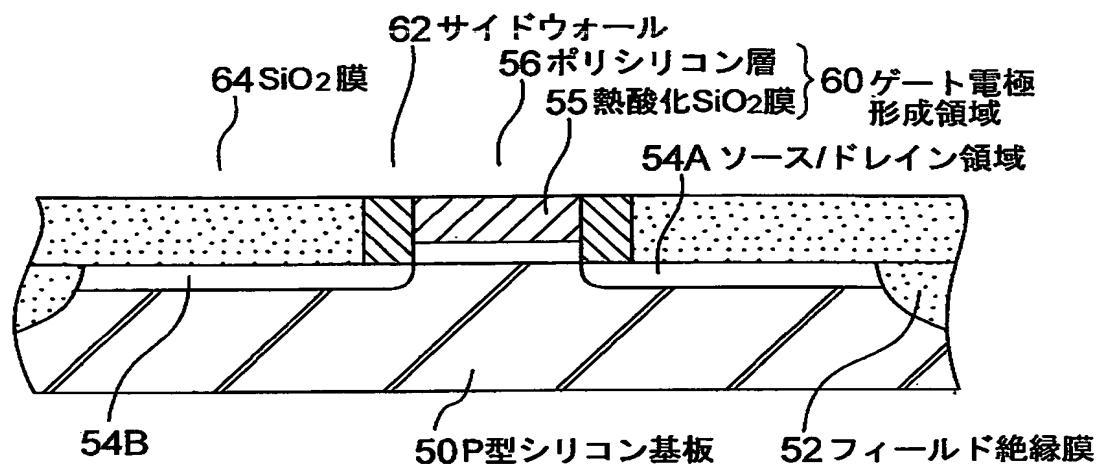


【図3】

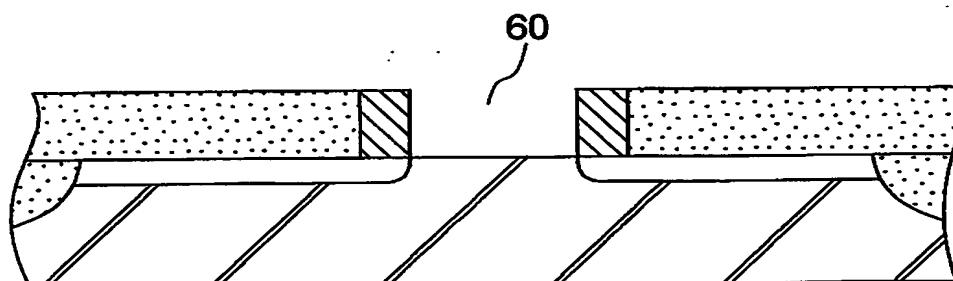


【図4】

(a)

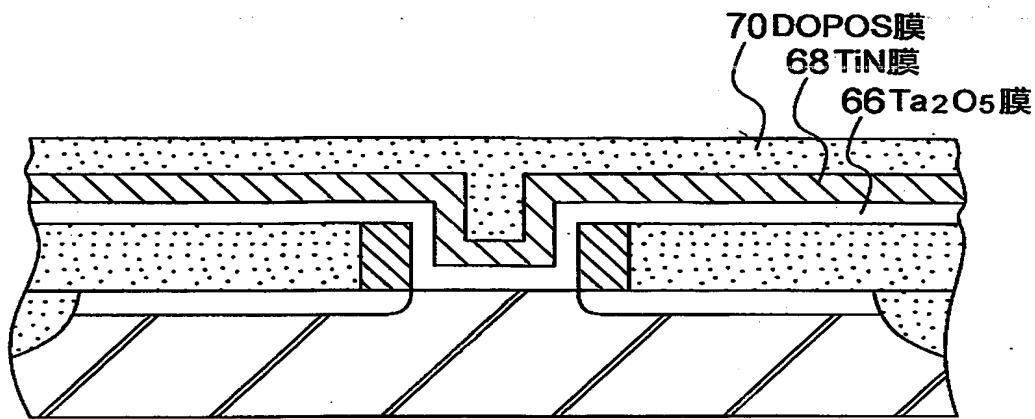


(b)

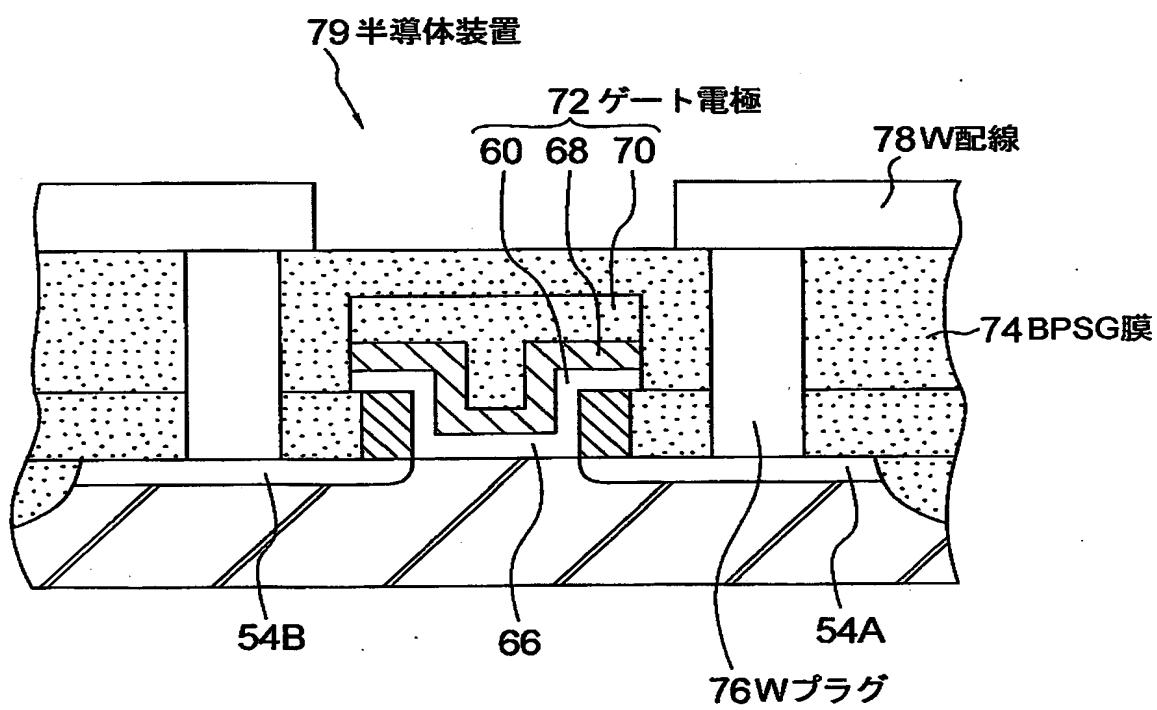


【図5】

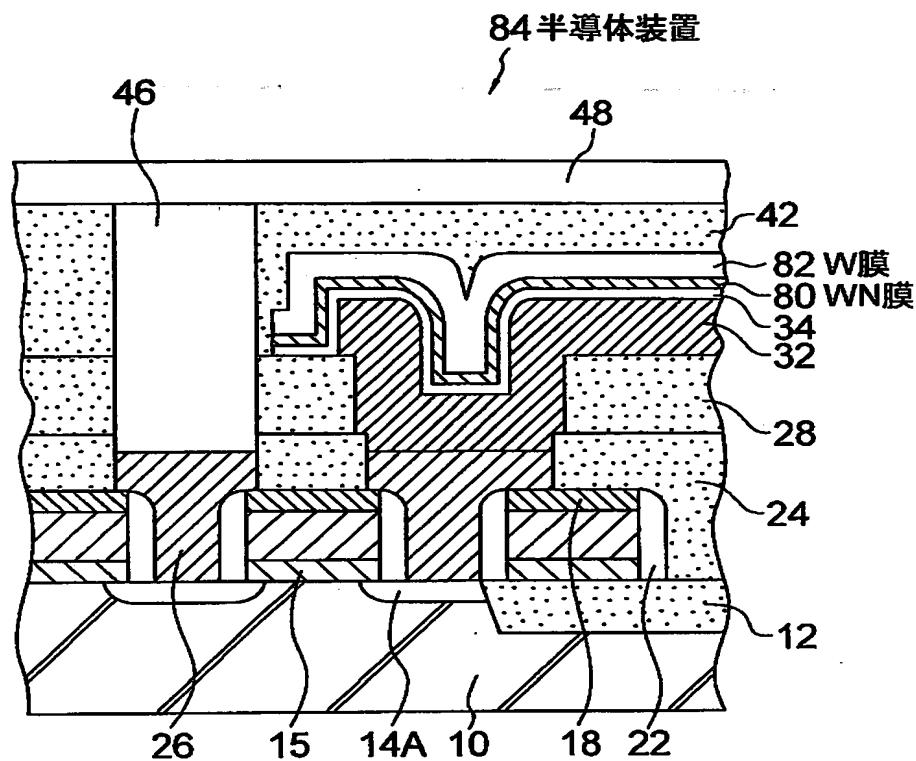
(c)



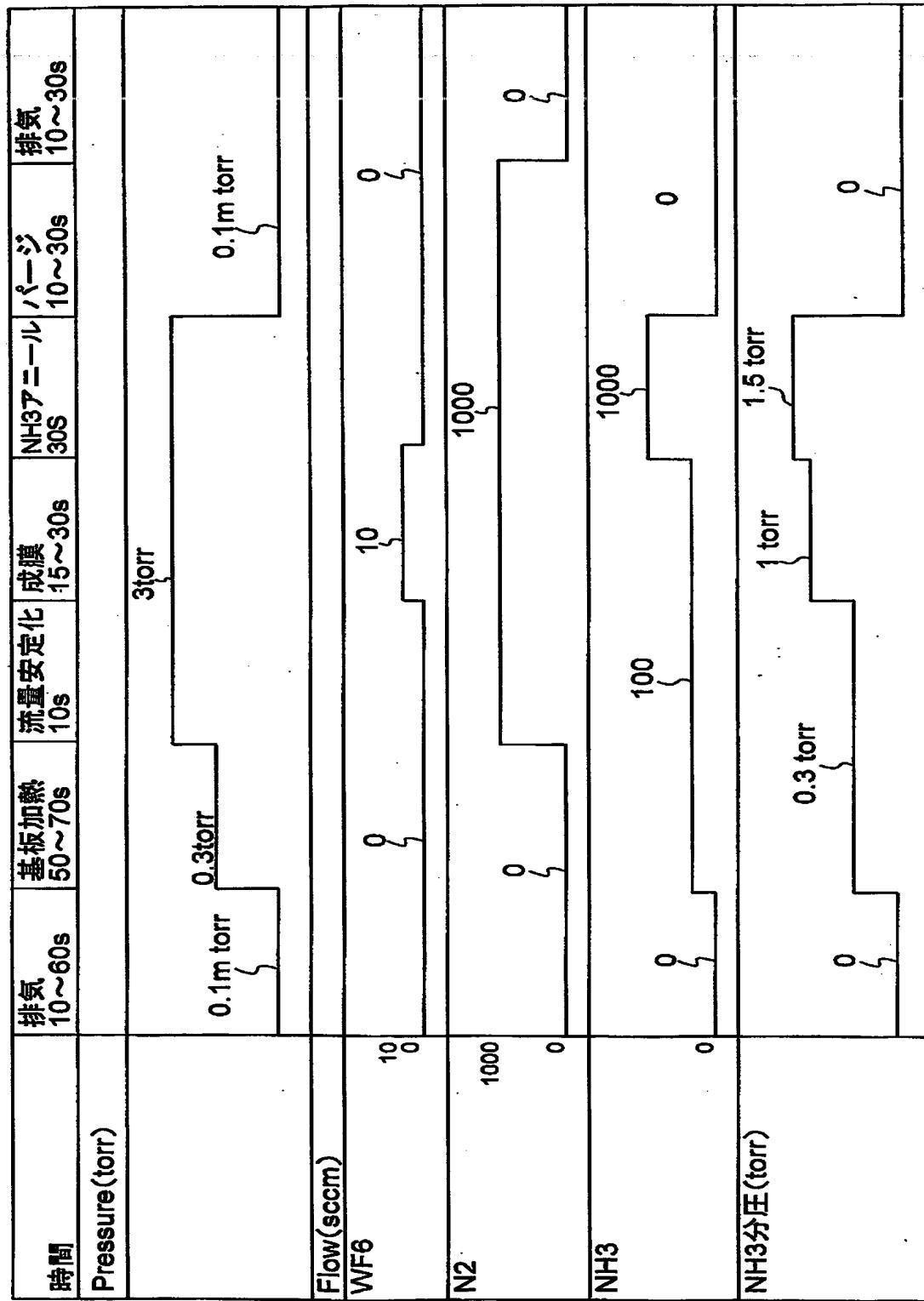
(d)



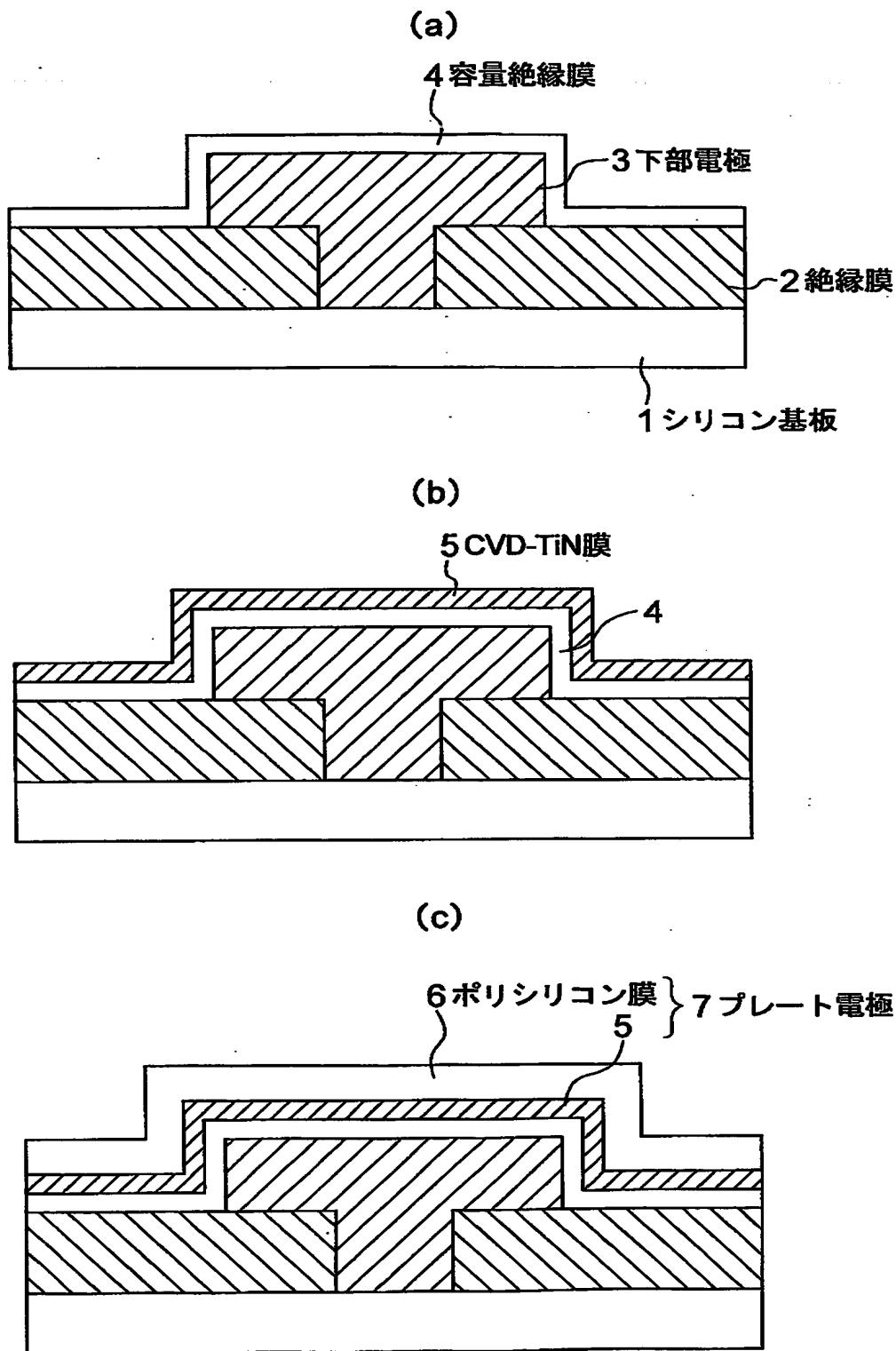
【図6】



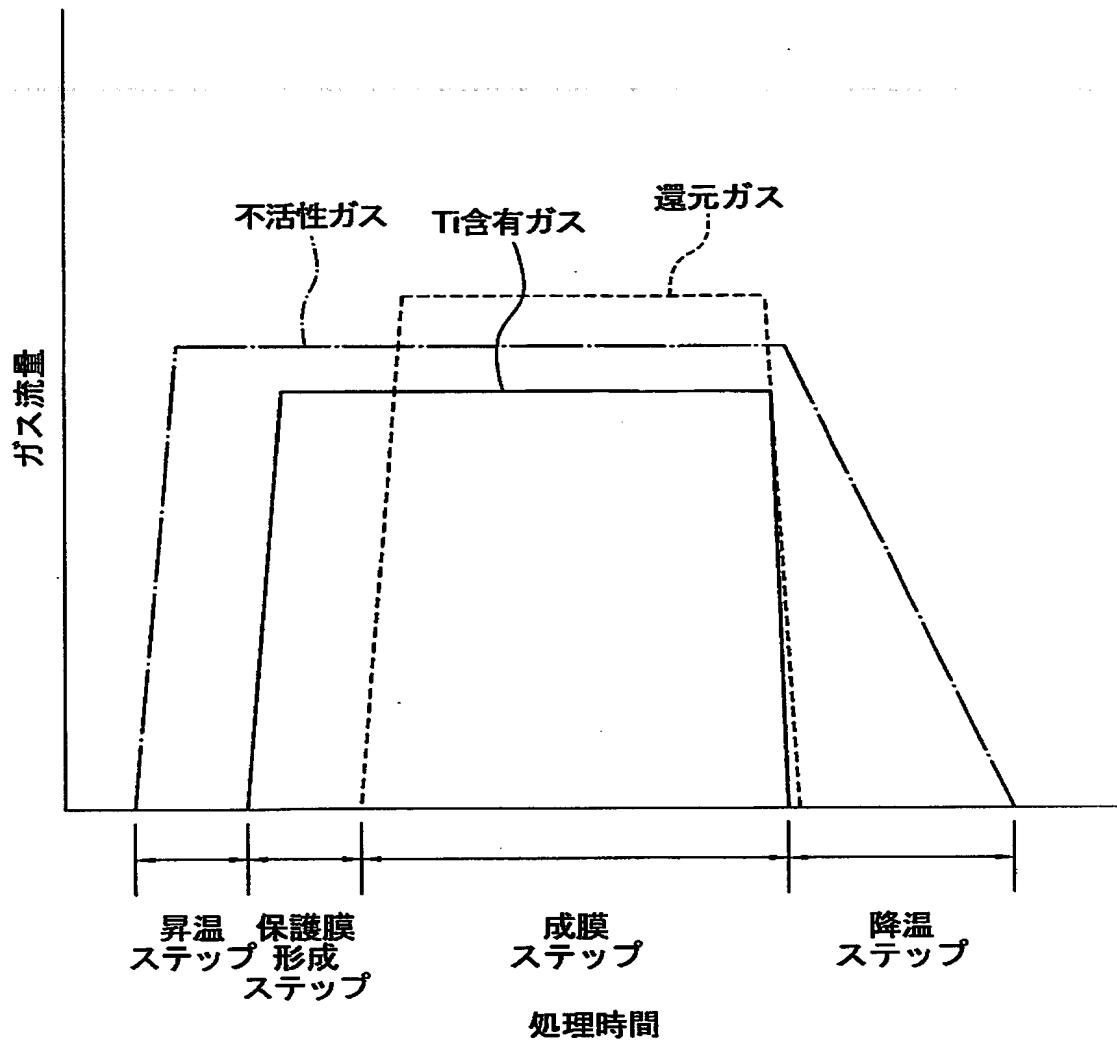
【図7】



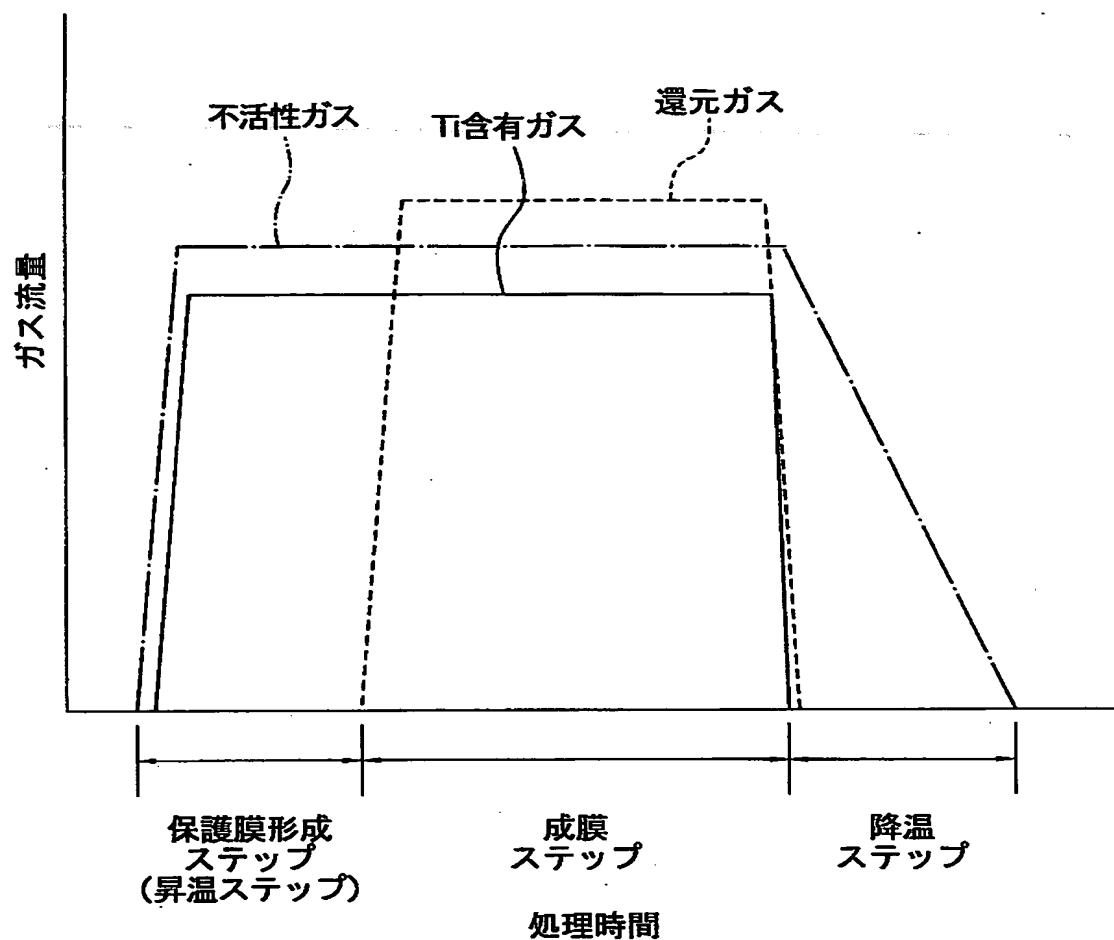
【図8】



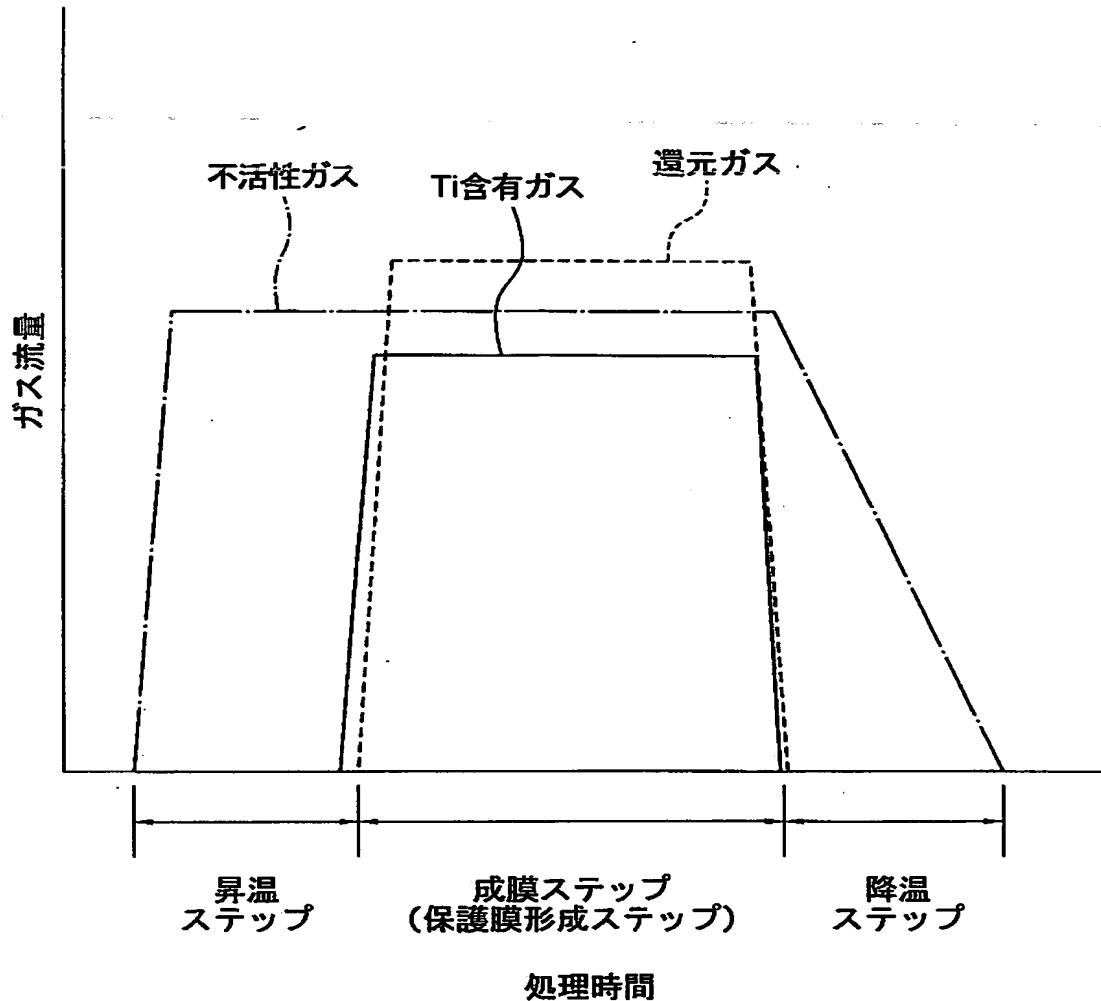
【図9】



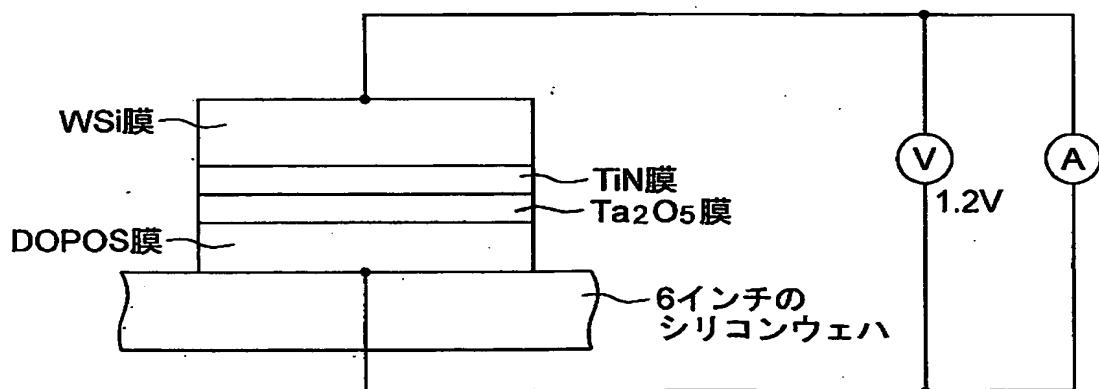
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 リーク電流の小さい容量絶縁膜及びゲート絶縁膜を備えた半導体装置を製造する方法を提供する。

【解決手段】 本方法は、酸化物からなる誘電体膜上にCVD-高融点金属窒化膜を有する積層構造を備えた半導体装置の製造方法である。本方法では、高融点金属含有ソースガスを導入して、高融点金属窒化膜を誘電体膜上にCVD法により成膜する際、高融点金属含有ソースガスを導入する前に、1.0 Torr以下0.1 Torr以上のNH₃ガス分圧のNH₃ガス雰囲気内で、誘電体膜が形成された基板を所定の加熱温度で加熱する。

【選択図】 図3

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社